

METODO DEL LOGICAL EFFORT

- 1) Ho α , oppure so che $\alpha = \frac{R_{eqP}}{R_{eqN}} = \frac{K_n}{K_p} (U_{TN} = |U_{TP}|)$
- 2) Calcolo $F = \frac{C_L}{C_{in}}$ $\Rightarrow C_{in} = C_{ox} L^2 \cdot (S_n + S_p)$ le ai esp. di C_{in} ho solo un gate di un certo tipo. Ce ne sono in cui S_n e S_p sono quelle dimensioni che ho appena calcolato

- 3) Per ogni gate calcolo il logical effort g per $G = \sum g_i$
- Scrupolo per il mio gate in transistor (logico FOMOS) e vedo i collegamenti di loro peggiore per i PMOS e per gli NMOS; cioè conto il numero max di resistenze nel path al PD e al PU

$$g = \frac{n_N + \alpha n_P}{1 + \alpha} = \dots$$

- 4) Devo calcolare il fattore di formula generalizzato
- Controllo se c'è il matching effort $\Rightarrow b_i = \frac{\sum C_{gates}}{C_{gate\ path}}$ tutti i gate del FAN OUT
il gate sul mio cammino
- $u = \sqrt{G \cdot F \cdot B}$ no stad

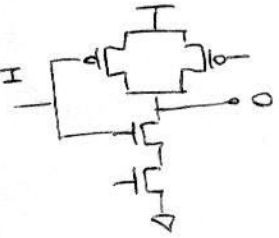
- 5) Devo dimensionare i transistor (parto dalla fine)
- $C_{in} = C_{arr} \cdot \frac{g_i b_i}{u}$ \Rightarrow calcolo C_{in}
- $C_{in} = C_{ox} L^2 (S_n + S_p) \Rightarrow$ trovo $S_n \approx C_{in} = C_{ox} L^2 u S_n$ (numero di g)
- $S_p = \alpha \cdot \frac{\text{no transistor casopeggioro PU } S_n}{\text{no transistor casopeggioro PD}}$

dopo aver calcolato S_n , calcolo il valore di S_p

VERIFICA

$C_{in2} = C_{in} = \alpha \cdot \frac{g_i b_i}{u}$

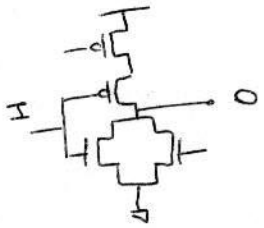
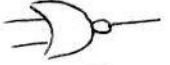
NAND 2



$$g = \frac{2 + \alpha}{1 + \alpha}$$

$S_{peq} = S_p = \alpha S_{neq}$
 $S_{neq} = S_n / 2$

NOR 2



$$g = \frac{1 + 2\alpha}{1 + \alpha}$$

$S_{peq} = S_p / 2 = \alpha S_{neq} / 2$
 $S_{neq} = S_n$

* Per il matching effort, si ricorda che questo è riferito al gate che si trova a monte della drivata del fco